

DIALOG(R)File 351:Derwent WPI  
(c) 2003 Thomson Derwent. All rts. reserv.

011344708 \*\*Image available\*\*

WPI Acc No: 1997-322613/199730

XRPX Acc No: N97-266976

**Image processing apparatus for facsimile, copier, printer and suppressing moire effects - changes maximum values of random number in accordance with m-bit image information, and generates at periods of two or more pixels and selectively outputs numbers**

Patent Assignee: CANON KK (CANO )

Inventor: ICHIKAWA H; KABURAGI H; YAMAGATA S

Number of Countries: 008 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 781034	A2	19970625	EP 96309371	A	19961220	199730 B
JP 9179974	A	19970711	JP 95333630	A	19951221	199738
JP 9270914	A	19971014	JP 9676850	A	19960329	199751
JP 10042132	A	19980213	JP 96190803	A	19960719	199817
JP 10042133	A	19980213	JP 96190805	A	19960719	199817
US 5805738	A	19980908	US 96770801	A	19961220	199843

Priority Applications (No Type Date): JP 96190805 A 19960719; JP 95333630 A 19951221; JP 9676850 A 19960329; JP 96190803 A 19960719

Cited Patents: No-SR.Pub

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 781034	A2	E	68	H04N-001/41	
Designated States (Regional): DE ES FR GB IT NL					
JP 9179974	A		19	G06T-005/00	
JP 9270914	A		10	H04N-001/405	
JP 10042132	A		9	H04N-001/405	
JP 10042133	A		10	H04N-001/405	
US 5805738	A			G06K-009/36	

Abstract (Basic): EP 781034 A

The image processing apparatus for performing a gradation conversion of input m-bit image information into n-bit image information, m and n being integers and m being greater than n, comprises a random number generator. A control device switches the signa of the random number from positive to negative or vice versa at a predetermined period and outputs the random number.

A conversion device converts the m-bit input value into n-bit data using a quantisation method of a preservation type on the basis of the signal value output from the controller and the input value of the m-bit image information.

ADVANTAGE - Overcomes problems of pseudo-edges, and avoids emphasising granularity. Overcomes problems of sweeping and texture. Reproduces stable halftone image and sharp outline.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-179974

(43)公開日 平成9年(1997)7月11日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 T 5/00			G 0 6 F 15/68	3 1 0 J
B 4 1 J 2/52		9377-5H	G 0 9 G 5/00	5 2 0 J
G 0 9 G 5/00	5 2 0	9377-5H	5/02	B
5/02		9377-5H	5/36	5 2 0 A
5/36	5 2 0		B 4 1 J 3/00	A

審査請求 未請求 請求項の数15 O L (全 19 頁) 最終頁に続く

(21)出願番号 特願平7-333630

(22)出願日 平成7年(1995)12月21日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 蕨木 浩

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 市川 弘幸

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

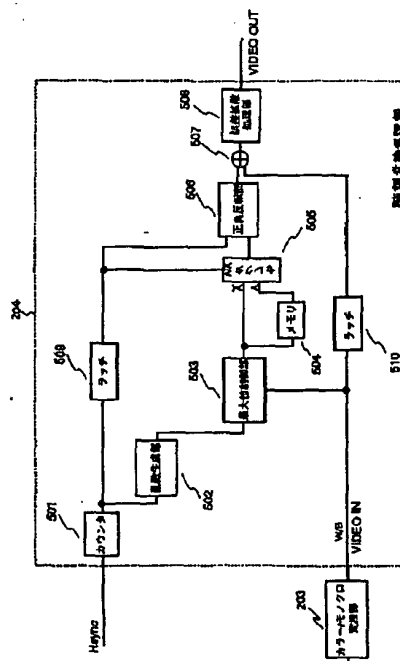
(74)代理人 弁理士 大塚 康徳 (外1名)

(54)【発明の名称】 画像処理装置及び方法

(57)【要約】

【課題】 画像の階調数を減らすと、はき寄せやテクスチャという不具合が発生する。

【解決手段】 入力したmビットの画像情報をnビットの画像情報(m, nは整数であり、 $m > n$ )に階調変換する際、mビットの画像情報の入力値に応じて、その最大値を変化させた乱数を2画素以上の周期で生成し、この乱数を2画素以上の周期内で、その符号を正/負に反転した信号を切り替えて出力する。そして、出力された信号値とmビットの画像情報の入力値とを加算し、加算された信号値をn値化する。



## 【特許請求の範囲】

【請求項1】 入力した $m$ ビットの画像情報を $n$ ビットの画像情報 ( $m, n$ は整数であり、 $m > n$ ) に階調変換を行ない出力する画像処理装置において、前記 $m$ ビットの画像情報の入力値に応じて、最大値を変化させた乱数を2画素以上の周期で生成する乱数生成手段と、前記乱数生成手段で生成した乱数の符号を前記2画素以上の周期内で正/負に反転し、該反転した信号値を切り替えて出力する制御手段と、前記制御手段より出力された信号値と、前記 $m$ ビットの画像情報の入力値とを加算する手段と、前記加算された信号値を $n$ 値化する $n$ 値化手段とを備えることを特徴とする画像処理装置。

【請求項2】 入力した $m$ ビットの画像情報を $n$ ビットの画像情報 ( $m, n$ は整数であり、 $m > n$ ) に階調変換を行ない出力する画像処理装置において、前記 $m$ ビットの画像情報の入力値に応じて、最大値を変化させた乱数を3画素以上の周期で生成する乱数生成手段と、前記乱数生成手段で生成した乱数の符号を前記3画素以上の周期内で正/負に反転し、該反転した信号値、及び値が0の信号値を切り替えて出力する制御手段と、前記制御手段より出力された信号値と、前記 $m$ ビットの画像情報の入力値とを加算する手段と、前記加算された信号値を $n$ 値化する $n$ 値化手段とを備えることを特徴とする画像処理装置。

【請求項3】 入力した $m$ ビットの画像情報を $n$ ビットの画像情報 ( $m, n$ は整数であり、 $m > n$ ) に階調変換を行ない出力する画像処理装置において、前記 $m$ ビットの画像情報の入力値に応じて、最大値を変化させた乱数を2画素以上の周期で生成する乱数生成手段と、前記乱数生成手段で生成した乱数の符号を前記2画素以上の周期内で正/負に反転し、該反転した信号値を切り替えて出力する制御手段と、前記制御手段より出力された信号値を $n$ 値化しきい値に加算する手段とを備えることを特徴とする画像処理装置。

【請求項4】 入力した $m$ ビットの画像情報を $n$ ビットの画像情報 ( $m, n$ は整数であり、 $m > n$ ) に階調変換を行ない出力する画像処理装置において、前記 $m$ ビットの画像情報の入力値に応じて、最大値を変化させた乱数を3画素以上の周期で生成する乱数生成手段と、前記乱数生成手段で生成した乱数の符号を前記3画素以上の周期内で正/負に反転し、該反転した信号値、及び値が0の信号値を切り替えて出力する制御手段と、前記制御手段より出力された信号値を $n$ 値化しきい値に加算する手段とを備えることを特徴とする画像処理装

置。

【請求項5】 さらに、前記 $m$ ビットの画像情報のエッジ情報を検出する手段を備え、前記乱数生成手段は、前記 $m$ ビットの画像情報の入力値及び前記エッジ情報をもとに前記乱数を生成することを特徴とする請求項1乃至請求項4のいずれか1項に記載の画像処理装置。

【請求項6】 入力した $m$ ビットの画像情報を $n$ ビットの画像情報 ( $m, n$ は整数であり、 $m > n$ ) に階調変換を行ない出力する画像処理方法において、前記 $m$ ビットの画像情報の入力値に応じて、最大値を変化させた乱数を2画素以上の周期で生成する乱数生成工程と、前記乱数生成工程で生成した乱数の符号を前記2画素以上の周期内で正/負に反転し、該反転した信号値を切り替えて出力する制御工程と、前記制御工程より出力された信号値と、前記 $m$ ビットの画像情報の入力値とを加算する工程と、前記加算された信号値を $n$ 値化する $n$ 値化工程とを備えることを特徴とする画像処理方法。

【請求項7】 入力した $m$ ビットの画像情報を $n$ ビットの画像情報 ( $m, n$ は整数であり、 $m > n$ ) に階調変換を行ない出力する画像処理方法において、前記 $m$ ビットの画像情報の入力値に応じて、最大値を変化させた乱数を3画素以上の周期で生成する乱数生成工程と、前記乱数生成工程で生成した乱数の符号を前記3画素以上の周期内で正/負に反転し、該反転した信号値、及び値が0の信号値を切り替えて出力する制御工程と、前記制御工程より出力された信号値と、前記 $m$ ビットの画像情報の入力値とを加算する工程と、前記加算された信号値を $n$ 値化する $n$ 値化工程とを備えることを特徴とする画像処理方法。

【請求項8】 入力した $m$ ビットの画像情報を $n$ ビットの画像情報 ( $m, n$ は整数であり、 $m > n$ ) に階調変換を行ない出力する画像処理方法において、前記 $m$ ビットの画像情報の入力値に応じて、最大値を変化させた乱数を2画素以上の周期で生成する乱数生成工程と、前記乱数生成工程で生成した乱数の符号を前記2画素以上の周期内で正/負に反転し、該反転した信号値を切り替えて出力する制御工程と、前記制御工程より出力された信号値を $n$ 値化しきい値に加算する工程とを備えることを特徴とする画像処理方法。

【請求項9】 入力した $m$ ビットの画像情報を $n$ ビットの画像情報 ( $m, n$ は整数であり、 $m > n$ ) に階調変換を行ない出力する画像処理方法において、前記 $m$ ビットの画像情報の入力値に応じて、最大値を変化させた乱数を3画素以上の周期で生成する乱数生成工

程と、

前記乱数生成工程で生成した乱数の符号を前記3画素以上の周期内で正／負に反転し、該反転した信号値、及び値が0の信号値を切り替えて出力する制御工程と、  
前記制御工程より出力された信号値を $n$ 値化しきい値に加算する工程とを備えることを特徴とする画像処理方法。

【請求項10】 さらに、前記 $m$ ビットの画像情報のエッジ情報を検出する工程を備え、  
前記乱数生成工程は、前記 $m$ ビットの画像情報の入力値及び前記エッジ情報をもとに前記乱数を生成することを特徴とする請求項6乃至請求項9のいずれか1項に記載の画像処理方法。

【請求項11】 入力した $m$ ビットの画像情報を $n$ ビットの画像情報( $m$ ,  $n$ は整数であり、 $m > n$ )に階調変換を行ない出力する画像処理のプログラムコードが格納されたコンピュータ可読メモリであって、  
前記 $m$ ビットの画像情報の入力値に応じて、最大値を変化させた乱数を2画素以上の周期で生成する乱数生成工程を実行するためのコードと、  
前記乱数生成工程で生成した乱数の符号を前記2画素以上の周期内で正／負に反転し、該反転した信号値を切り替えて出力する制御工程を実行するためのコードと、  
前記制御工程より出力された信号値と、前記 $m$ ビットの画像情報の入力値とを加算する工程を実行するためのコードと、  
前記加算された信号値を $n$ 値化する $n$ 値化工程を実行するためのコードとを備えることを特徴とするコンピュータ可読メモリ。

【請求項12】 入力した $m$ ビットの画像情報を $n$ ビットの画像情報( $m$ ,  $n$ は整数であり、 $m > n$ )に階調変換を行ない出力する画像処理のプログラムコードが格納されたコンピュータ可読メモリであって、  
前記 $m$ ビットの画像情報の入力値に応じて、最大値を変化させた乱数を3画素以上の周期で生成する乱数生成工程を実行するためのコードと、  
前記乱数生成工程で生成した乱数の符号を前記3画素以上の周期内で正／負に反転し、該反転した信号値、及び値が0の信号値を切り替えて出力する制御工程を実行するためのコードと、  
前記制御工程より出力された信号値と、前記 $m$ ビットの画像情報の入力値とを加算する工程を実行するためのコードと、  
前記加算された信号値を $n$ 値化する $n$ 値化工程を実行するためのコードとを備えることを特徴とするコンピュータ可読メモリ。

【請求項13】 入力した $m$ ビットの画像情報を $n$ ビットの画像情報( $m$ ,  $n$ は整数であり、 $m > n$ )に階調変換を行ない出力する画像処理のプログラムコードが格納されたコンピュータ可読メモリであって、

前記 $m$ ビットの画像情報の入力値に応じて、最大値を変化させた乱数を2画素以上の周期で生成する乱数生成工程を実行するためのコードと、

前記乱数生成工程で生成した乱数の符号を前記2画素以上の周期内で正／負に反転し、該反転した信号値を切り替えて出力する制御工程を実行するためのコードと、  
前記制御工程より出力された信号値を $n$ 値化しきい値に加算する工程を実行するためのコードとを備えることを特徴とするコンピュータ可読メモリ。

【請求項14】 入力した $m$ ビットの画像情報を $n$ ビットの画像情報( $m$ ,  $n$ は整数であり、 $m > n$ )に階調変換を行ない出力する画像処理のプログラムコードが格納されたコンピュータ可読メモリであって、  
前記 $m$ ビットの画像情報の入力値に応じて、最大値を変化させた乱数を3画素以上の周期で生成する乱数生成工程を実行するためのコードと、  
前記乱数生成工程で生成した乱数の符号を前記3画素以上の周期内で正／負に反転し、該反転した信号値、及び値が0の信号値を切り替えて出力する制御工程を実行するためのコードと、  
前記制御工程より出力された信号値を $n$ 値化しきい値に加算する工程を実行するためのコードとを備えることを特徴とするコンピュータ可読メモリ。

【請求項15】 さらに、前記 $m$ ビットの画像情報のエッジ情報を検出する工程を実行するためのコードを備え、  
前記乱数生成工程を実行するためのコードは、前記 $m$ ビットの画像情報の入力値及び前記エッジ情報をもとに前記乱数を生成するコードであることを特徴とする請求項11乃至請求項14のいずれか1項に記載のコンピュータ可読メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は画像処理装置及び方法、特に $m$ ビットの画像を $n$ ビットの画像への階調変換して出力する画像処理装置及び方法に関するものである。

【0002】

【従来の技術】従来より、中間調表現を行なうための画像形成手法として誤差拡散法(以後、これを単にEDと呼ぶ)や平均濃度保存法(以後、MDと呼ぶ)などが一般に知られている。これらの方法は、少ない階調数を用いて面積階調表現することにより、マクロ的に中間調を表現しようとするものである。つまり、擬似中間調表現法である。そして、これらの方法は、少ない階調数で画像形成できるために、画像データを扱うハードウェアへの負荷を低減できるといった効果がある。

【0003】

【発明が解決しようとする課題】しかしながら、ハードウェアの簡略化、及びネットワークを介すシステムを考

慮して画像の階調数 ( $m$  bit) を減らしていくと、特に 1 bit の画像形成時で、はき寄せやテクスチャといった問題が発生する。これは、ED法やMD法に特有な問題点であり、具体的には、黒文字の後の低濃度部でドットが打たれないとか、虫がはったような跡の模様が出るといった現象である。この様子を拡大して図示したのが図14、及び図15である。

【0004】図14は、低濃度部の拡大図であり、均一の低濃度部中に高濃度のライン、もしくは文字があった場合、ドットが打たれないという現象（上述のはき寄せ）が起きることを示している（矢印が目点）。また、図15は、高濃度部の拡大図であり、均一の中濃度部をED処理した場合、特有のテクスチャが発生する現象を示している（矢印が目点）。これらの問題は、低濃度部や中濃度部で顕著に現れる特徴がある。

【0005】なお、図示していないが、1 bit の画像形成時に限らず、2 bit の画像形成時においてもスイッチングノイズと呼ばれる擬似輪郭が生じるという問題がある。

【0006】本発明は、上述の課題に鑑みてなされたもので、その目的とするところは、画像の階調数を減らしていても、はき寄せやテクスチャという不具合が発生しない画像処理装置を提供することである。

【0007】

【課題を解決するための手段】上述の目的を達成するため、本発明は、入力した  $m$  ビットの画像情報を  $n$  ビットの画像情報 ( $m, n$  は整数であり、 $m > n$ ) に階調変換を行ない出力する画像処理装置において、前記  $m$  ビットの画像情報の入力値に応じて、最大値を変化させた乱数を2画素以上の周期で生成する乱数生成手段と、前記乱数生成手段で生成した乱数の符号を前記2画素以上の周期内で正／負に反転し、該反転した信号値を切り替えて出力する制御手段と、前記制御手段より出力された信号値と、前記  $m$  ビットの画像情報の入力値とを加算する手段と、前記加算された信号値を  $n$  値化する  $n$  値化手段とを備える。

【0008】他の発明は、入力した  $m$  ビットの画像情報を  $n$  ビットの画像情報 ( $m, n$  は整数であり、 $m > n$ ) に階調変換を行ない出力する画像処理装置において、前記  $m$  ビットの画像情報の入力値に応じて、最大値を変化させた乱数を3画素以上の周期で生成する乱数生成手段と、前記乱数生成手段で生成した乱数の符号を前記3画素以上の周期内で正／負に反転し、該反転した信号値、及び値が0の信号値を切り替えて出力する制御手段と、前記制御手段より出力された信号値と、前記  $m$  ビットの画像情報の入力値とを加算する手段と、前記加算された信号値を  $n$  値化する  $n$  値化手段とを備える。

【0009】また、他の発明は、入力した  $m$  ビットの画像情報を  $n$  ビットの画像情報 ( $m, n$  は整数であり、 $m > n$ ) に階調変換を行ない出力する画像処理装置におい

て、前記  $m$  ビットの画像情報の入力値に応じて、最大値を変化させた乱数を2画素以上の周期で生成する乱数生成手段と、前記乱数生成手段で生成した乱数の符号を前記2画素以上の周期内で正／負に反転し、該反転した信号値を切り替えて出力する制御手段と、前記制御手段より出力された信号値を  $n$  値化しきい値に加算する手段とを備える。

【0010】さらにまた、他の発明は、入力した  $m$  ビットの画像情報を  $n$  ビットの画像情報 ( $m, n$  は整数であり、 $m > n$ ) に階調変換を行ない出力する画像処理装置において、前記  $m$  ビットの画像情報の入力値に応じて、最大値を変化させた乱数を3画素以上の周期で生成する乱数生成手段と、前記乱数生成手段で生成した乱数の符号を前記3画素以上の周期内で正／負に反転し、該反転した信号値、及び値が0の信号値を切り替えて出力する制御手段と、前記制御手段より出力された信号値を  $n$  値化しきい値に加算する手段とを備える。

【0011】さらに、他の発明において、上記  $m$  ビットの画像情報のエッジ情報を検出する手段を備え、前記乱数生成手段は、前記  $m$  ビットの画像情報の入力値及び前記エッジ情報をもとに前記乱数を生成する。

【0012】

【発明の実施の形態】以下、添付図面を参照して、本発明の好適な実施の形態を詳細に説明する。

【第1の実施の形態】図1は、本発明の第1の実施の形態に係る画像形成装置の構成を示すブロック図である。同図において、画像読み取り部109は、CCDセンサ102、アナログ信号処理部103等により構成され、レンズ101を介してCCDセンサ102に結像された原稿画像が、CCDセンサ102によりR (Red)、G (Green)、B (Blue) のアナログ電気信号に変換される。そして、変換された画像情報は、アナログ信号処理部103に入力され、そこで、R、G、Bの各色毎にサンプル&ホールド、ダークレベルの補正等が行われた後、アナログ・デジタル変換 (A/D変換) される。

【0013】このようにデジタル化されたフルカラー信号は、画像処理部104に入力される。画像処理部104では、シェーディング補正、色補正、 $\gamma$ 補正等の読み取り系で必要な補正処理や、スムージング処理、エッジ強調、その他の処理や加工等が行われ、その結果がプリンタ部105に出力される。

【0014】プリンタ部105は、例えば、不図示のレーザ等からなる露光制御部、画像形成部、転写紙の搬送制御部等により構成され、入力された画像信号が転写紙上に画像として記録される。

【0015】図1に示すCPU回路部110は、CPU106、ROM107、RAM108等により構成され、画像読み取り部109、画像処理部104、プリンタ部105等を制御し、本装置のシーケンスを統括的に

制御する。

【0016】次に、図1に示す画像処理部104について説明する。

【0017】図2は、画像処理部104の構成を示すブロック図である。同図に示す画像処理部では、図1のアナログ信号処理部103より出力されるデジタル画像信号がシェーディング補正回路部201に入力される。このシェーディング補正回路部201では、原稿を読み取るセンサのばらつき、及び、原稿照明用ランプの配光特性の補正を行なっている。そして、補正演算された画像信号は、輝度信号から濃度データに変換するために、階調補正部202に入力され、そこで、濃度画像データを作成する。

【0018】濃度データに変換された画像信号は、カラー／モノクロ変換部203に入力され、モノクロデータとして出力される。このカラー／モノクロ変換部203から出力されたデータは、次に階調変換処理部204に入力され、擬似中間調表現として誤差拡散処理が行なわれる。

【0019】以下、階調変換処理部について詳細に説明する。

【0020】図3は、本実施の形態に係る階調変換処理部204の詳細な構成を示すブロック図である。同図に示す階調変換処理部では、まず始めにHsync信号を基準に、カウンタ501において、2画素周期内で0と1のタイミング信号を交互に発生する。このカウンタ501から出力されたタイミング信号は、乱数生成部502へ入力され、上記のタイミング信号が0のときにのみ、乱数生成部502から正の乱数値を発生する構成となっている。

【0021】乱数生成部502から出力された信号は、カラー／モノクロ変換部203からの信号(W/B)と同時に最大値制御部503へ入力される。この最大値制御部503は、 $255 \times 255 \times 8$ ビットのルックアップテーブルで構成されており、カラー／モノクロ変換部203からの8ビット信号に応じて、乱数生成部502からの8ビット信号の振幅を制御している。

【0022】つまり、最大値制御部503は、カラー／モノクロ変換部203から入力された8ビット信号値が小さい値のときには、強制的に乱数生成部502から入力された8ビット信号値を小さくするような出力制御を行ない、一方、カラー／モノクロ変換部203から入力された8ビット信号値が大きな値であるときには、逆に乱数生成部502から入力された8ビット信号値を増幅するような出力制御を行なっている。

【0023】なお、この乱数生成部502からの信号値の増幅は、任意の値を限度として上限値を決めている。

【0024】図4は、最大値制御部503のテーブル構成の概念を示す図である。ここでは、マトリックス状に構成されたメモリ内に8ビットの出力値が書き込まれて

いる様子を示している。つまり、マトリックス状に構成されたメモリ上に、カラー／モノクロ変換部203からの8ビット信号と、乱数生成部502からの8ビット信号とを入力し、それにより示された座標のメモリ値を出力する構成となっている。ここで、Aにはメモリ504のデータが入力され、/Aには最大値制御部503からのデータが入力される。

【0025】上記の構成をとる最大値制御部503から出力された信号は、メモリ504とセクタ505へ入力される。このメモリ504は、一時的に8ビットの信号値を記憶しておくためのメモリである。また、セクタ505は、ラッチ509で最大値制御部503とのタイミングを合わせたカウンタ501の信号をもとに、Aと/A(/はその信号の反転値を意味する)とを切り換えて、入力された信号値を出力する構成となっている。

【0026】つまり、セクタ505は、カウンタ501の信号が0のときには、最大値制御部503からの信号をそのまま出力し、また、カウンタ501の信号が1のときには、メモリ504からの信号を出力する。このような構成にすることにより、2画素続きで同じ信号値を出力することが可能となる。

【0027】このようにして、セクタ505から出力された信号値は、正負反転部506へ入力される。この正負反転部506は、カウンタ501からのタイミング信号をもとに、セクタ505から入力される信号値を正負に切り換える制御を行なっている。例えば、カウンタ501からの信号値が0のときには、セクタ505からの信号値を‘プラス’のまま出力し、カウンタ501からの信号値が1のときには、セクタ505からの信号値を‘マイナス’に符号反転して出力する。

【0028】正負反転部506から出力された信号値は、ラッチ510でタイミング補正されたカラー／モノクロ変換部203からのVIDEO信号と加算器507で加算され、その結果が誤差拡散処理部508へ入力される。ここで、図示していないが、加算器507で加算した際に信号値が255(8bit)を越えたり、0以下になったときには、それぞれ、その信号を255や0にクリップする処理を行なっている。そして、誤差拡散処理部508では、その詳細は省略するが、通常の1bitの誤差拡散法の処理を行なう。

【0029】なお、これは1bitに限らず、例えば、2～4bitへの誤差拡散処理でもよい。また、誤差拡散処理部508では、mbitの入力データをnbitの出力データ(m, nは整数で、 $m > n$ である)に変換した際に発生する誤差を、周辺の入力データに所定の重みを掛けて拡散する。

【0030】上記のような処理を行なったVIDEO信号は、画像処理部104から出力され、それがさらにプリンタ部105から出力される構成となっている。

【0031】以上説明したように、本実施の形態によれ

ば、入力されたVIDEO信号値に応じて乱数生成部の信号値を制御する、つまり、高濃度部では、通常の乱数値を正負に符号を変えながらVIDEO信号値に加え、低濃度部では、ざらつきが特に目立つため、高濃度部から低濃度部に濃度が徐々に変化するに従って、乱数値の振幅を徐々に抑え、かつ、正負に符号を変えながらVIDEO信号値に加えることで、視覚的な特性を考慮しつつ、ざらつき感を抑えることができる。

<変形例>図5は、図3に示す、上記第1の実施の形態に係る階調変換処理部204の変形例に係る階調変換処理部の構成を示すブロック図である。なお、同図において、図3と同一構成要素には同一符号を付し、それらの説明を省略する。

【0032】図5に示す階調変換処理部においては、カラー/モノクロ変換部203の信号は、エッジ検出部511にも入力される構成をとる。そして、カラー/モノクロ変換部203からの信号は、乱数生成部502からの信号とエッジ検出部511からの信号と同時に最大値制御部503へ入力される構成となっている。

【0033】本変形例に係る最大値制御部503は、カラー/モノクロ変換部203からの8ビット信号とエッジ検出部511からの信号とに応じて、乱数生成部502からの8ビット信号の振幅を制御している。

【0034】なお、本変形例では、エッジ検出部511からの信号が最大値制御部503へ入力された場合、カラー/モノクロ変換部203から入力された8ビットの信号値の大小に関係なく、強制的に乱数生成部502から入力された8ビット信号値を小さくして出力するように制御している。

【0035】このように、本変形例によれば、細線や文字等のエッジ部に乱数を加え、エッジ情報が減少しないように、入力されたVIDEO信号値のエッジ情報に応じて乱数生成部の信号値を制御することで、入力画像情報のエッジ情報の保持、ざらつき感の増加を抑えることができる。

〔第2の実施の形態〕以下、本発明に係る第2の実施の形態について説明する。なお、本実施の形態に係る画像処理装置の構成に関し、上記第1の実施の形態と同様の構成については、同一符号を付して、その詳細説明を省略する。

【0036】図6は、第2の実施の形態に係る階調変換処理部の構成を示すブロック図である。同図において、カウンタ901は、Hsync信号を基準にして、3画素周期内で0と1と2のタイミング信号を順に発生する。そして、カウンタ901から出力されたタイミング信号は、乱数生成部902へ入力され、タイミング信号が0のときにのみ、乱数生成部902から正の乱数値を発生する。

【0037】乱数生成部902から出力された信号は、カラー/モノクロ変換部203からの信号と同時に最大

値制御部503へ入力され、最大値制御部503では、上記第1の実施の形態における処理と同様な処理を行なった後、得られた信号値は、セクタ903へ出力される。

【0038】セクタ903は、ラッチ509でタイミング補正されたカウンタ901のタイミング信号によって、3つの値を切り換える処理を行なう。3つの信号とは、データ値0、最大制御部503、そして、メモリ504からの信号である。セクタ903は、切り換え信号が0のときには、最大値制御部503の信号をそのまま出力し、切り換え信号が1のときには、メモリ504の信号を出力し、また、切り換え信号が2のときには、値0を出力する構成となっている。

【0039】このようにして、セクタ903から出力された信号は、正負反転部904へ入力され、カウンタ901からのタイミング信号により、出力信号値の正負が正/負/0に切り換えられる。つまり、カウンタ901からの信号値が0と2のときには、セクタ903からの信号値を‘プラス’のまま出力し、カウンタ901からの信号が1のときには、セクタ903からの信号値を‘マイナス’に符号反転して出力する。

【0040】このように正負反転部904から出力された信号値は、上記第1の実施の形態における場合と同様に処理され、それがさらに誤差拡散処理部508から出力される。そして、上記のような処理を行なったVIDEO信号は、画像処理部104から出力され、プリンタ部105から出力される。

【0041】以上説明したように、第2の実施の形態によれば、上記第1の実施の形態に比較してn値化処理したときのテクスチャが縦につながりやすくなり、各ドットが縦につながるため、プロセス的に安定する画像形成が可能になる。

<変形例>図7は、第2の実施の形態の変形例に係る階調変換処理部の構成を示すブロック図である。同図に示すように、本変形例に係る階調変換処理部には、図6に示す階調変換処理部にエッジ検出部911を付加したものである。

【0042】すなわち、ここでは、乱数生成部902から出力された信号は、カラー/モノクロ変換部203からの信号とエッジ検出部911からの信号と同時に最大値制御部503へ入力される。

【0043】このように、原画像の信号値に加える乱数値をエッジ情報に応じて制御することで、原画像のエッジ情報を保存することができる。

〔第3の実施の形態〕以下、本発明に係る第3の実施の形態について説明する。なお、本実施の形態に係る画像処理装置において、上記第1の実施の形態に係る画像処理装置と同様の構成については、同一符号を付して、ここでは、その説明を省略する。

【0044】図8は、第3の実施の形態に係る階調変換



処理部の構成を示すブロック図である。同図において、最大値制御部1002は、上記第1の実施の形態と同様に255×255×8ビットのルックアップテーブルで構成されており、カラー／モノクロ変換部203からの8ビット信号に応じて、乱数生成部502からの8ビット信号の振幅を制御している。

【0045】つまり、カラー／モノクロ変換部203から入力された8ビット信号値が小さいときには、強制的に乱数生成部502から入力された8ビット信号値を小さくするような出力制御を行ない、カラー／モノクロ変換部203から入力された8ビット信号値が大きな値のときには、逆に乱数生成部502から入力された8ビット信号を増幅するような出力制御を行なっている。

【0046】しかし、本実施の形態に係る最大値制御部1002が、上記第1の実施の形態に係る最大値制御部と異なる点は、出力信号値の増幅限度値が、誤差拡散処理部1001の第1しきい値レベルの2倍以下の値に設定されていることである。

【0047】そして、上述のように第1の実施の形態と同様な処理をした信号値は、正負反転部506から出力され、ラッチ510でタイミング補正されたカラー／モノクロ変換部203と同時に誤差拡散処理部1001へ入力される。この誤差拡散処理部1001内では、図示はしていないが、正負反転部506からの入力された信号値をn値化するしきい値に加える処理を行なっている。誤差拡散処理部1001から出力された信号値は、画像処理部104から出力され、プリンタ部105から出力される。

【0048】以上説明したように、本実施の形態によれば、n値化のしきい値に処理後の乱数を加えることで、視覚的な特性を考慮しつつ、ざらつき感を抑えることができる。

<変形例>図9は、第3の実施の形態の変形例に係る階調変換処理部の構成を示すブロック図である。同図に示すように、本変形例に係る階調変換処理部には、図8に示す階調変換処理部にエッジ検出部1011を付加したものである。

【0049】すなわち、エッジ検出部1011からの信号が最大値制御部502へ入力された場合、カラー／モノクロ変換部203から入力された8ビットの信号値の大小に関係なく、強制的に乱数生成部502から入力された8ビット信号値を小さくして出力するよう制御している。

【0050】このように、本変形例によれば、入力されたVIDEO信号値のエッジ情報に応じて乱数生成部の信号値を制御することで、入力画像情報のエッジ情報の保持、ざらつき感を増加を抑えることができる。

〔第4の実施の形態〕以下、本発明に係る第4の実施の形態について説明する。なお、本実施の形態に係る画像処理装置において、上記第1の実施の形態、及び第2の

実施の形態に係る画像処理装置と同様の構成には、同一符号を付して、その説明を省略する。

【0051】図10は、第4の実施の形態に係る階調変換処理部の構成を示すブロック図である。同図において、最大値制御部1102は、上記第2の実施の形態と同様に、255×255×8ビットのルックアップテーブルで構成されており、カラー／モノクロ変換部203からの8ビット信号に応じて、乱数生成部902からの8ビット信号の振幅を制御している。この最大値制御部1102は、上記第3の実施の形態と同様に、出力信号値の増幅限度値が、誤差拡散処理部1101の第1しきい値レベルの2倍以下の値に設定されている。

【0052】そして、第2の実施の形態と同様な処理をして得られた信号値は、正負反転部904から出力され、ラッチ510でタイミング補正されたカラー／モノクロ変換部203と同時に誤差拡散処理部1101へ入力される。誤差拡散処理部1101内部では、図示していないが、正負反転部904から入力された信号値をn値化するしきい値に加える処理を行なっている。そして、誤差拡散処理部1101から出力された信号値は、画像処理部104から出力され、プリンタ部105から出力される。

【0053】このように、本実施の形態によれば、n値化のしきい値に処理後の乱数を加えることで、VIDEO信号に処理後の乱数値を加える操作と同様な効果、つまり、n値化処理したときのテクスチャが縦につながりやすくなることで、プロセス的に安定する画像形成が可能になる。

<変形例>図11は、第4の実施の形態の変形例に係る階調変換処理部の構成を示すブロック図である。同図に示すように、本変形例に係る階調変換処理部には、図10に示す階調変換処理部にエッジ検出部1111を付加したものである。

【0054】すなわち、ここでは、カラー／モノクロ変換部203からの8ビット信号とエッジ検出部1111からの信号とに応じて、乱数生成部902からの8ビット信号の振幅を制御している。エッジ検出部1111からの信号が最大値制御部1102へ入力された場合、カラー／モノクロ変換部203から入力された8ビットの信号値の大小に関係なく、強制的に乱数生成部902から入力された8ビット信号値を小さくして出力するよう制御している。

【0055】このように、原画像の信号値に加える乱数値をエッジ情報に応じて制御することで、原画像のエッジ情報を保存することができる。

【0056】なお、図12、図13は、上記各実施の形態及びその変形例に係る階調変換処理の結果を示す図であり、図12では、均一の低濃度部中に高濃度のラインもしくは文字があった場合の出力画像のイメージを示している。また、図13は、均一の中濃度部をED処理し

た場合の出力画像のイメージを示す図である。図12、図13を、図14、図15と対比した場合、階調変換処理に本発明を適用することで、はき寄せやテクスチャなどの問題点が改善されていることが分かる。

【0057】また、図3、図5～図11に示した例では、カラー/モノクロ変換部でカラーデータをモノクロデータに変換した後、階調変換処理を行なっているが、複数のカラーデータのそれぞれに対して、上述のような階調変換回路を設けることで、フルカラー画像の出力が可能となる。

【0058】上記各実施の形態において、最大値制御部は、上述のようにルックアップテーブルで構成されているが、本実施の形態はこれに限定されるものではなく、例えば、ロジックによる演算回路で組んでもよいことは言うまでもない。

【0059】本発明は、複数の機器（例えば、ホストコンピュータ、インタフェイス機器、リーダー、プリンタなど）から構成されるシステムに適用しても、一つの機器からなる装置（例えば、複写機、ファクシミリ装置など）に適用してもよい。

【0060】また、本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ（またはCPUやMPU）が記憶媒体に格納されたプログラムコードを読み出し実行することによっても、達成されることは言うまでもない。

【0061】この場合、記憶媒体から読出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。

【0062】プログラムコードを供給するための記憶媒体としては、例えば、フロッピーディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、磁気テープ、不揮発性のメモ리카ード、ROMなどを用いることができる。

【0063】また、コンピュータが読出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているOS（オペレーティングシステム）などが実際の処理の一部または全部を行ない、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0064】さらに、記憶媒体から読出されたプログラムコードが、コンピュータに挿入された機能拡張ボードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込まれた後、そのプログラムコードの指示に基づき、その機能拡張ボードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行ない、その処理によって前述した実施形態の機能が実現される

場合も含まれることは言うまでもない。

【0065】本発明を上記記憶媒体に適用する場合、その記憶媒体には、先に説明したフローチャートに対応するプログラムコードを格納することになるが、簡単に説明すると、図16のメモリマップ例に示す各モジュールを記憶媒体に格納することになる。すなわち、少なくとも乱数生成モジュール、制御モジュール、加算モジュール、n値化モジュールの各モジュールのプログラムコードを記憶媒体に格納すればよい。

【0066】

【発明の効果】以上説明したように、本発明によれば、入力画像情報のデータ値に応じて乱数の最大値を変化させ、かつ、一定の周期で符号が正負、もしくは負正に変化する乱数値をこのデータ値に加算することで、はき寄せやテクスチャなどの問題の発生をざらつき感を増加させずに解決できるという効果がある。

【0067】また、他の発明によれば、入力画像情報に、この入力画像情報より検出したエッジ情報をもとに生成した乱数を加えることで、エッジ情報を保持しながら、はき寄せやテクスチャなどの問題の発生をざらつき感を増加させずに解決できる。

【0068】

【図面の簡単な説明】

【図1】本発明の実施の形態に係る画像形成装置の構成を示すブロック図である。

【図2】画像処理部104の構成を示すブロック図である。

【図3】階調変換処理部204の詳細な構成を示すブロック図である。

【図4】最大値制御部503のテーブル構成の概念を示す図である。

【図5】第1の実施の形態に係る階調変換処理部204の変形例に係る階調変換処理部の構成を示すブロック図である。

【図6】第2の実施の形態に係る階調変換処理部の構成を示すブロック図である。

【図7】第2の実施の形態の変形例に係る階調変換処理部の構成を示すブロック図である。

【図8】第3の実施の形態に係る階調変換処理部の構成を示すブロック図である。

【図9】第3の実施の形態の変形例に係る階調変換処理部の構成を示すブロック図である。

【図10】第4の実施の形態に係る階調変換処理部の構成を示すブロック図である。

【図11】第4の実施の形態の変形例に係る階調変換処理部の構成を示すブロック図である。

【図12】均一の低濃度部中に高濃度のラインもしくは文字があった場合の出力画像のイメージを示す図である。

【図13】均一の中濃度部をED処理した場合の出力画

像のイメージを示す図である。

【図14】従来の処理に係る低濃度部を拡大したイメージを示す図である。

【図15】従来の処理に係る高濃度部を拡大したイメージを示す図である。

【図16】本発明に係る画像処理プログラムコードを格納したメモリのメモリマップを示す図である。

【符号の説明】

101 レンズ

102 CCDセンサ

103 アナログ信号処理部

104 画像処理部

105 プリンタ部

106 CPU

107 ROM

108 RAM

109 画像読み取り部

110 CPU回路部

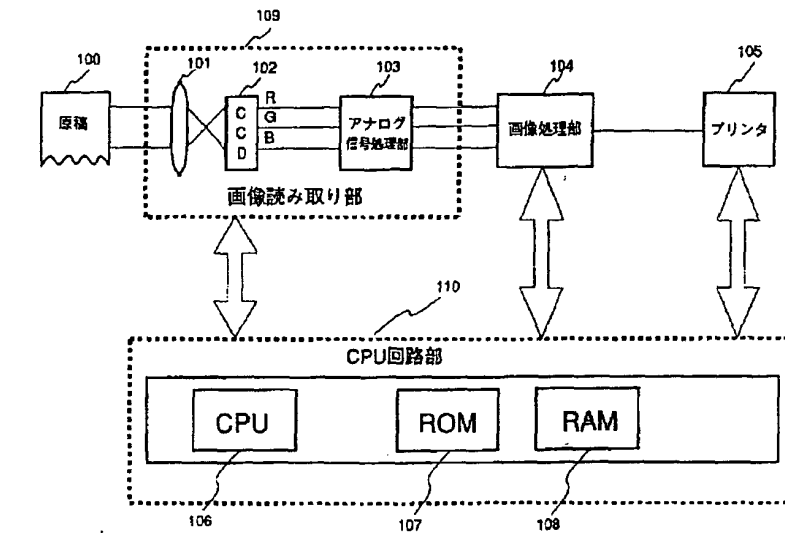
201 シェーディング補正回路部

202 階調補正部

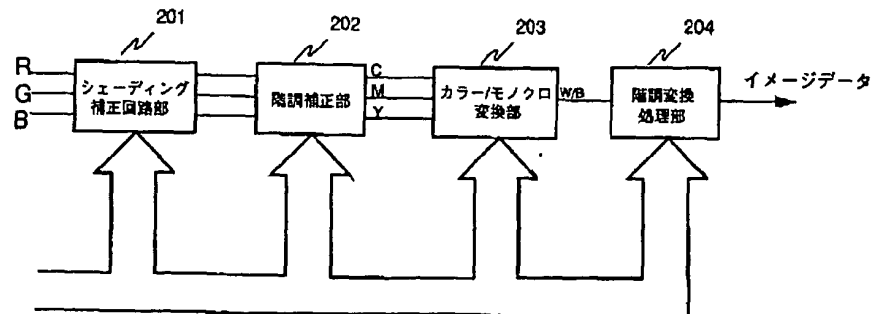
203 カラー/モノクロ変換部

204 階調変換処理部

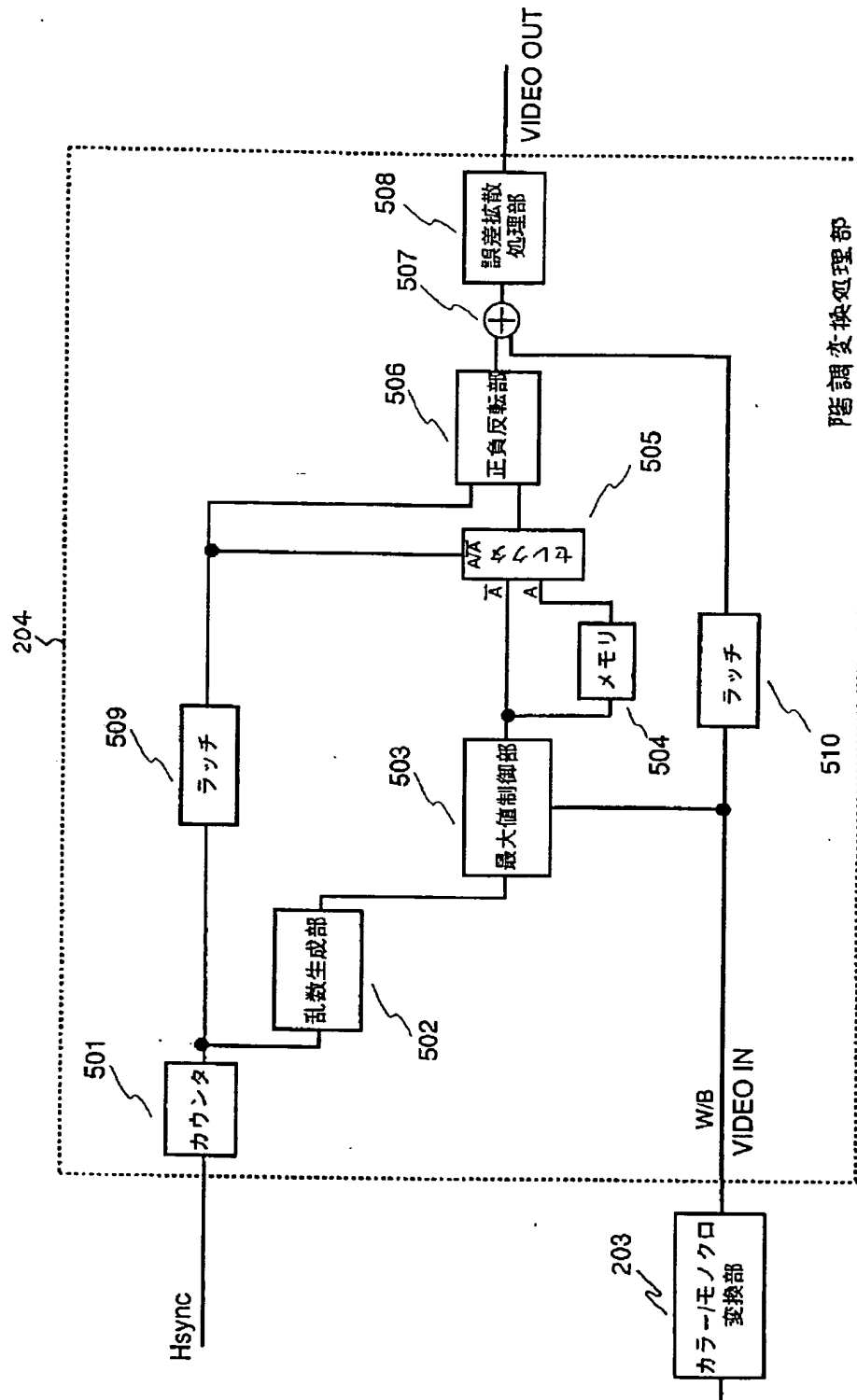
【図1】



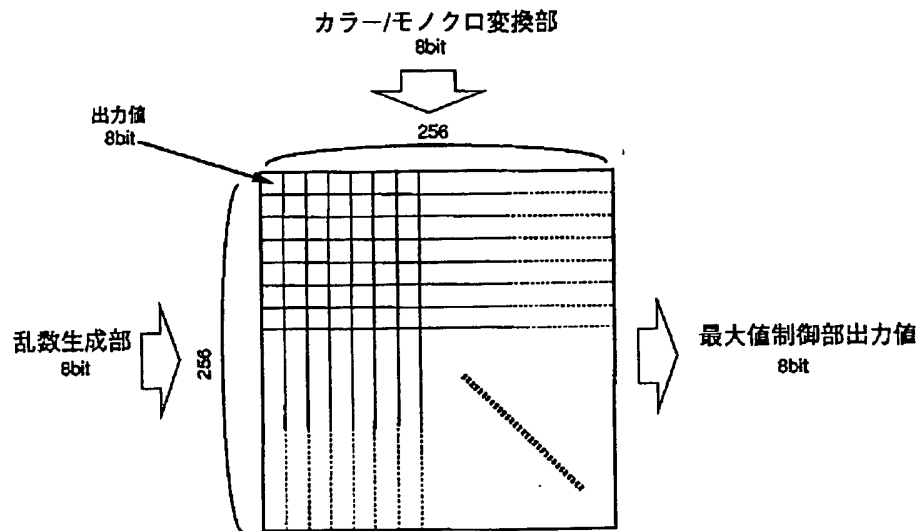
【図2】



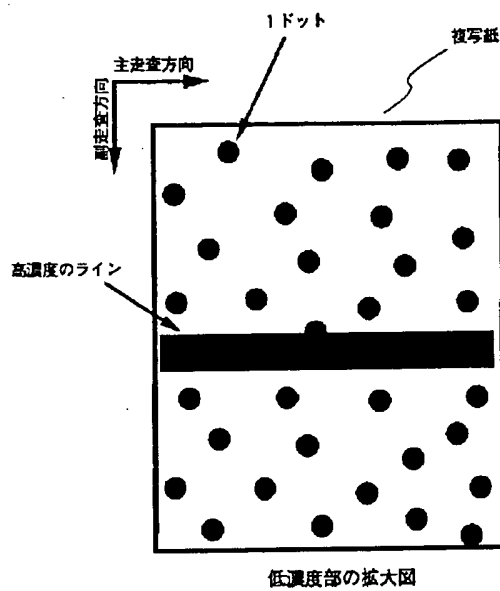
【図3】



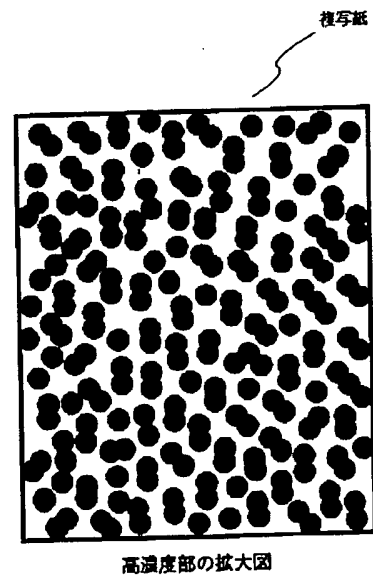
【図4】



【図12】



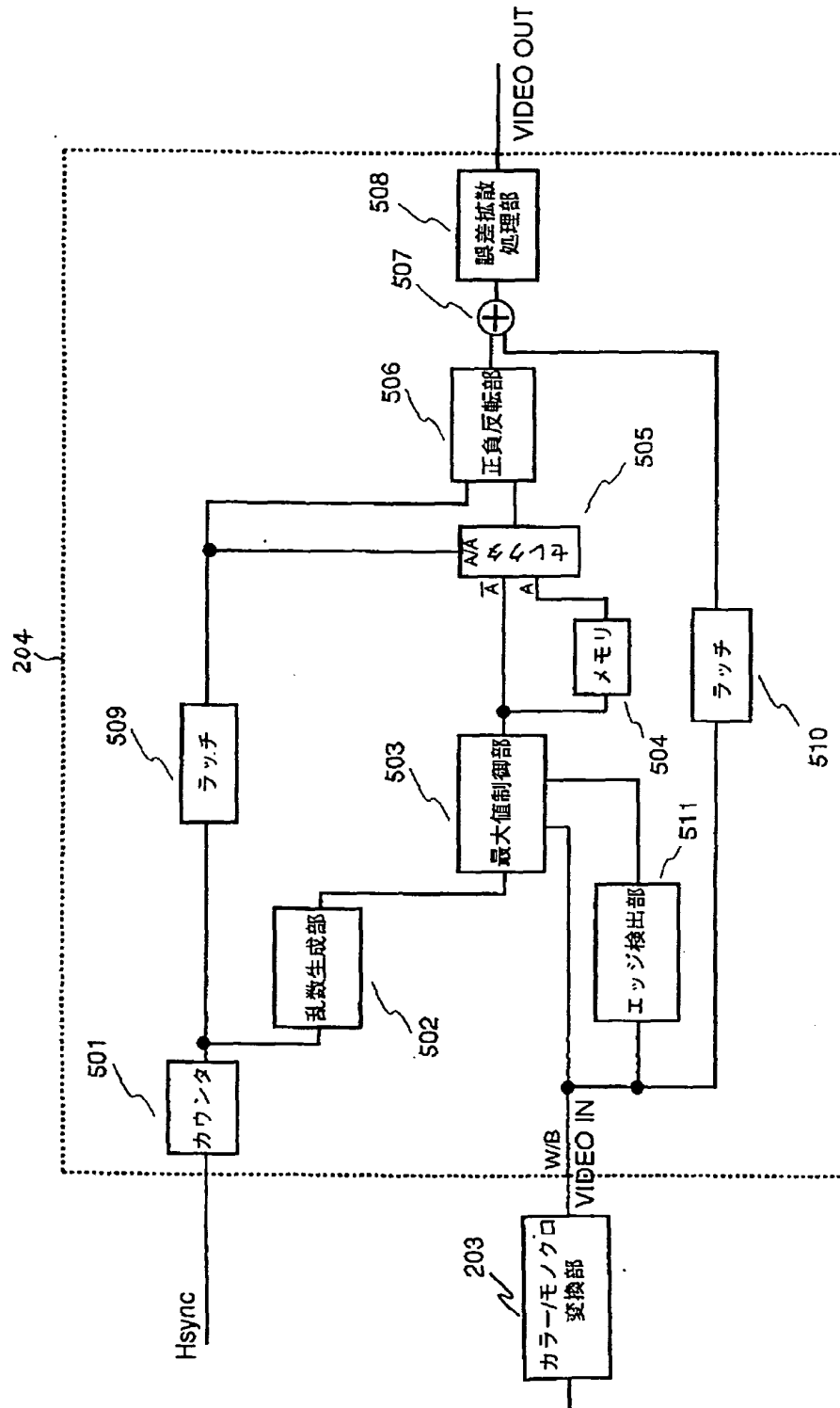
【図13】



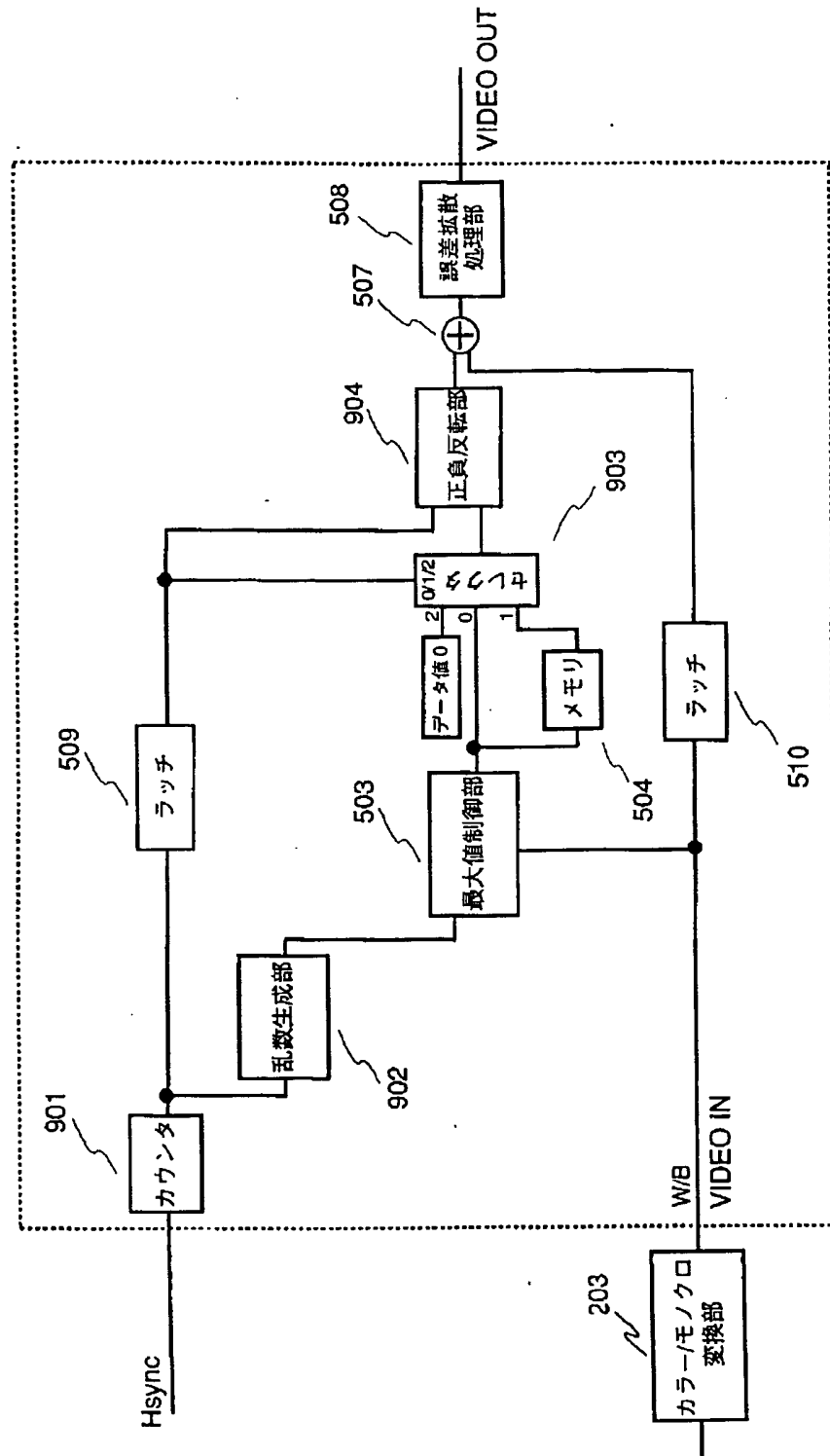
【図16】

乱数生成モジュール
制御モジュール
加算モジュール
n 値化モジュール

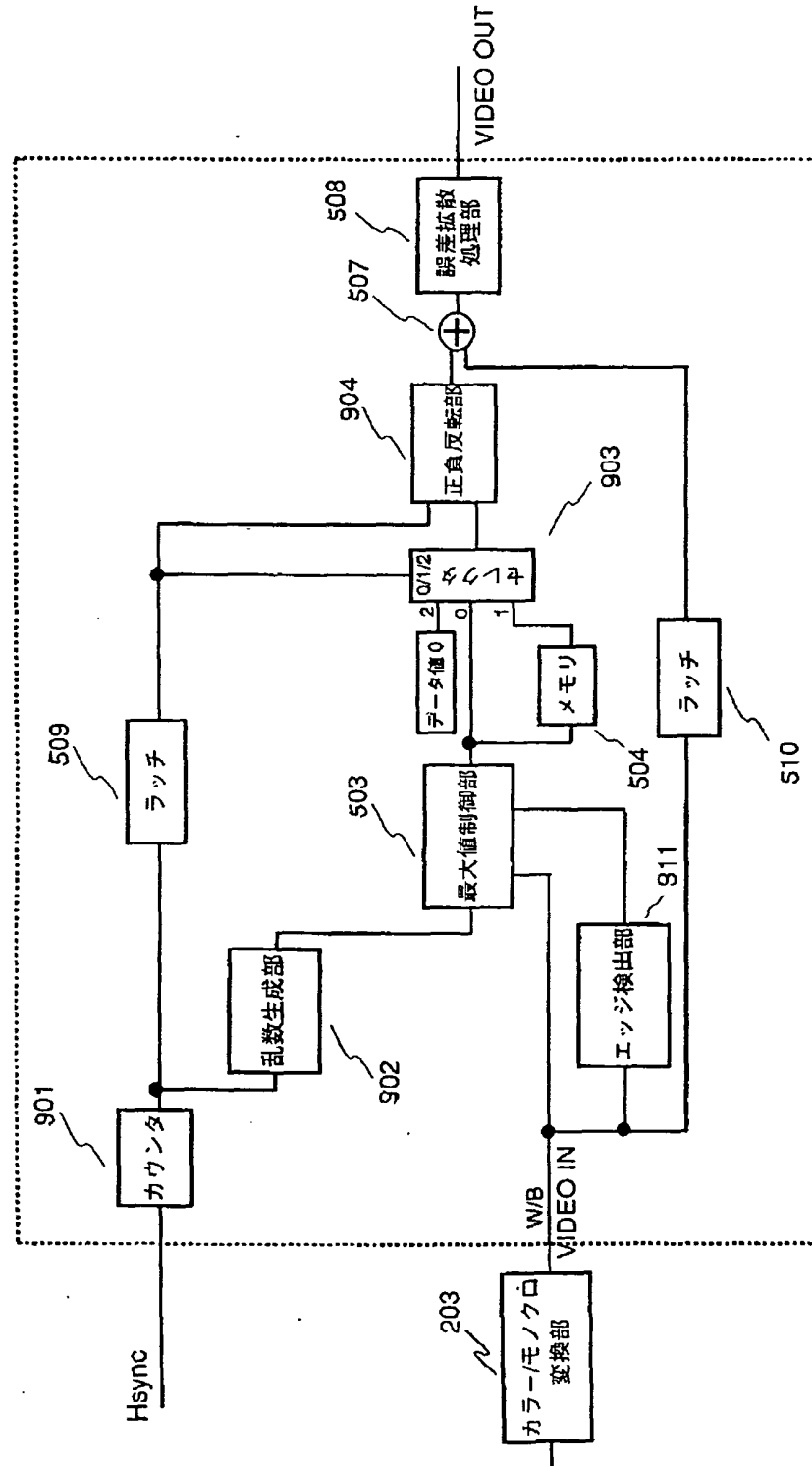
【図5】



【図6】

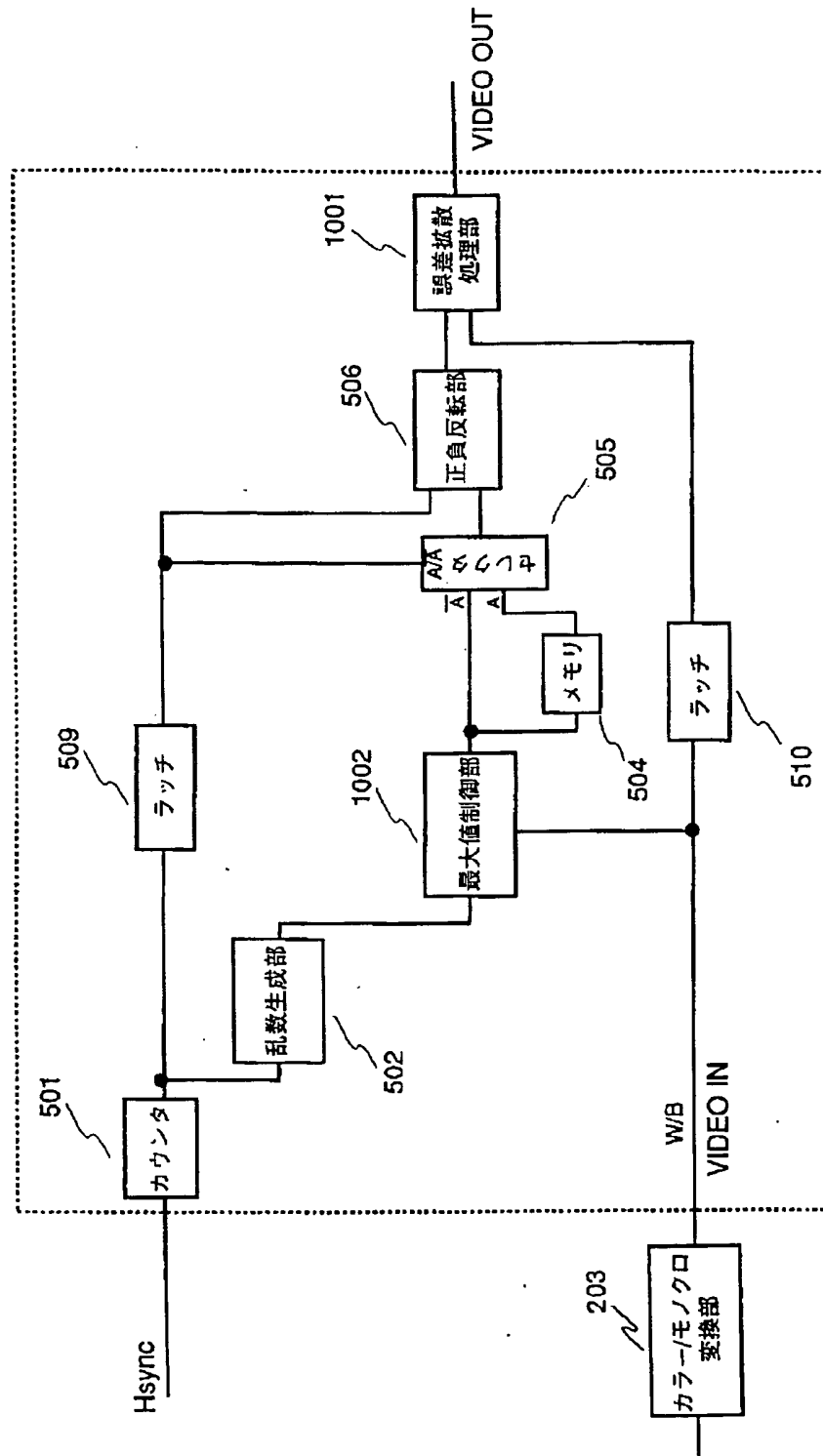


【図7】

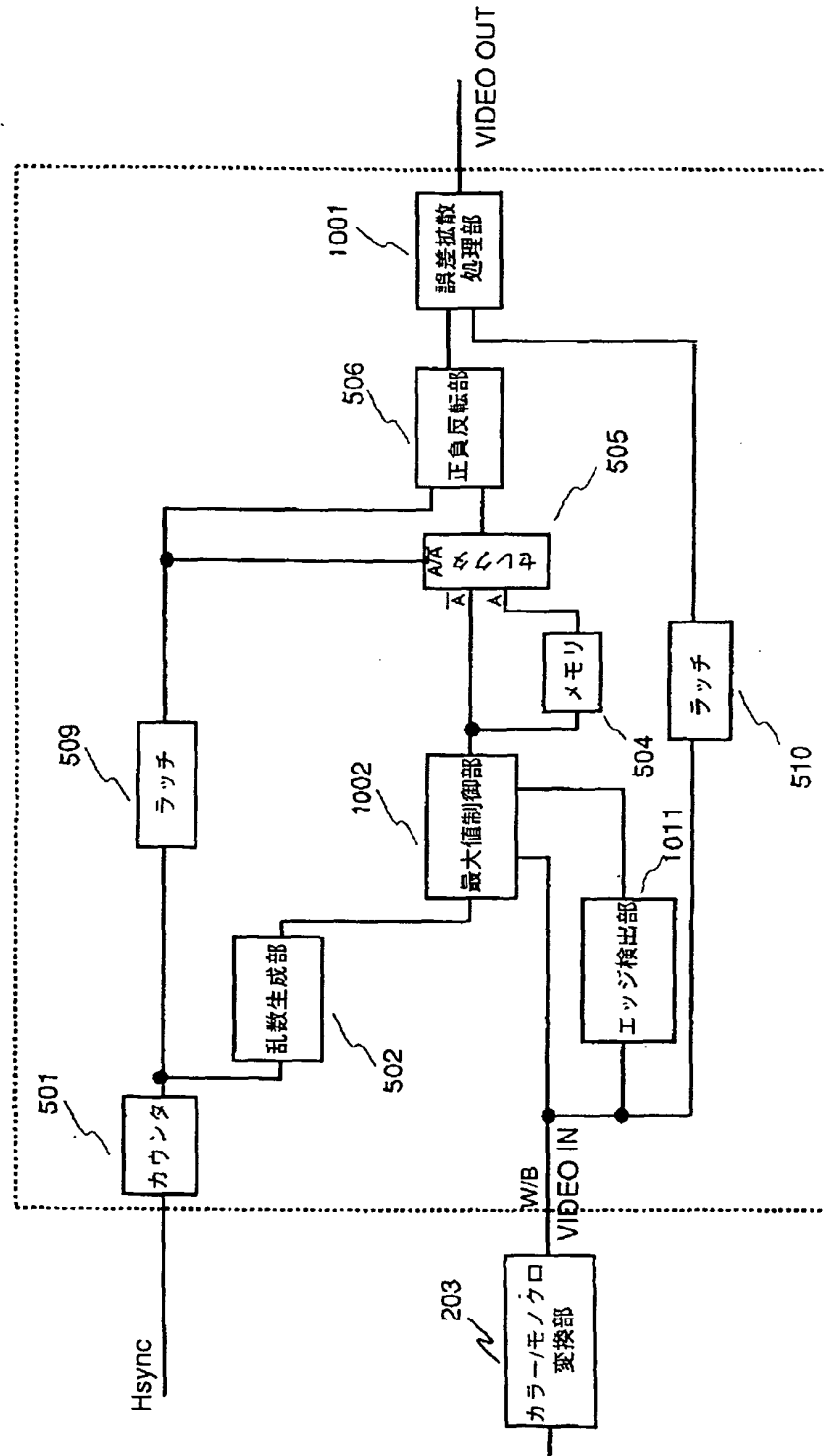




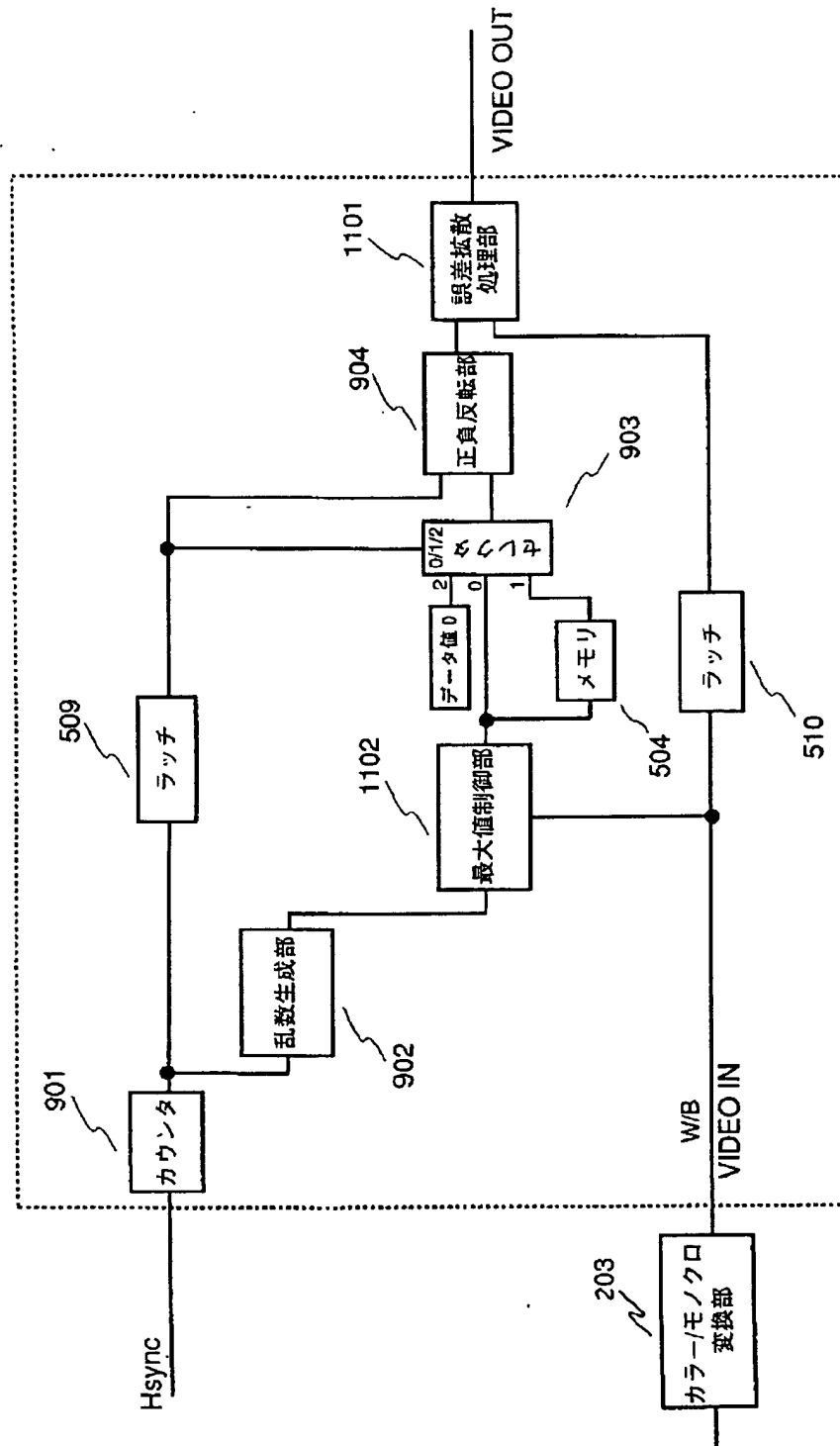
【図8】



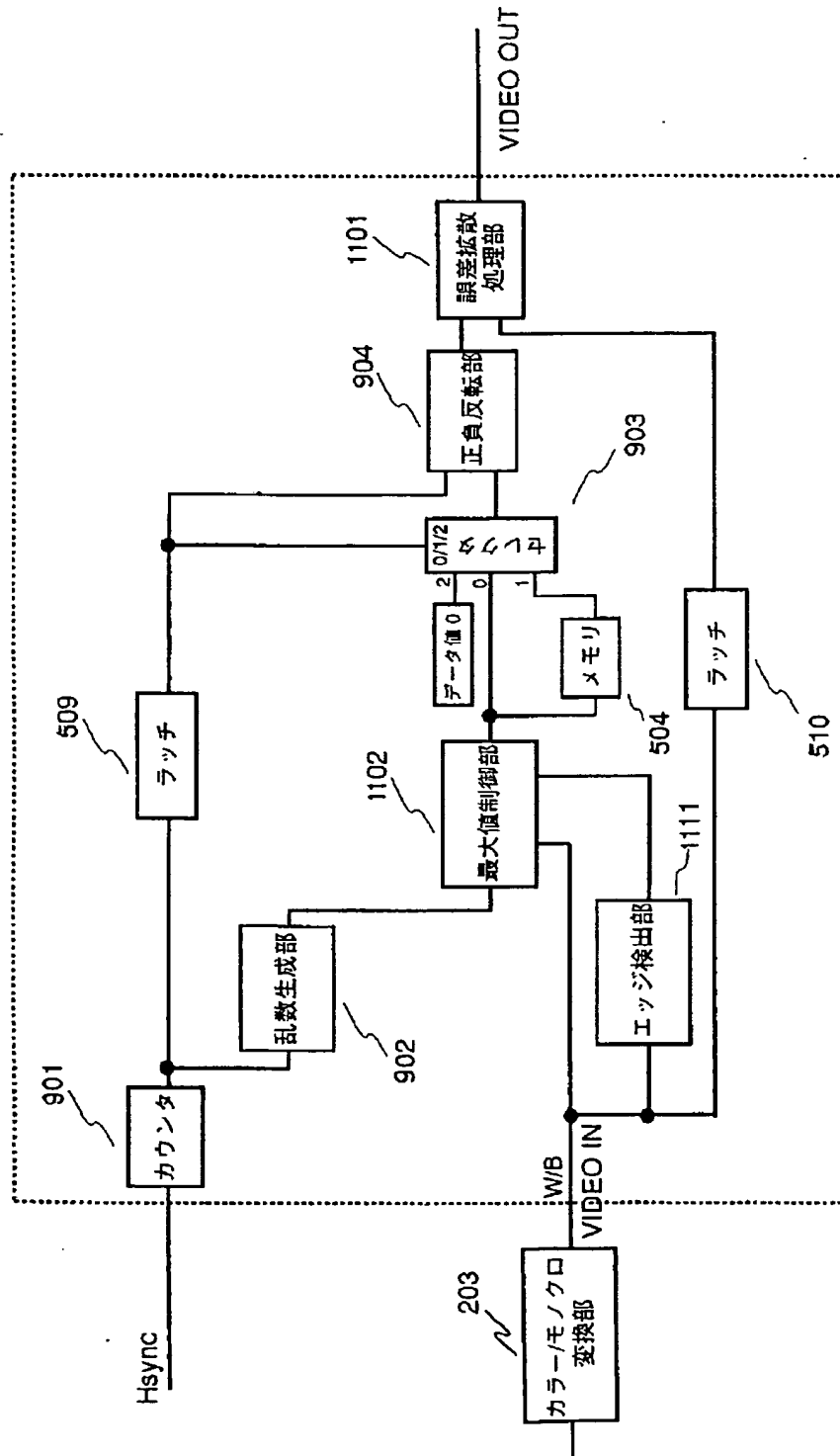
【図9】



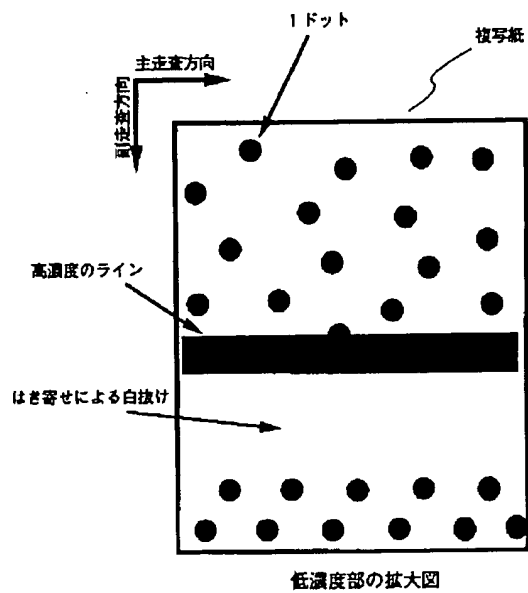
【図10】



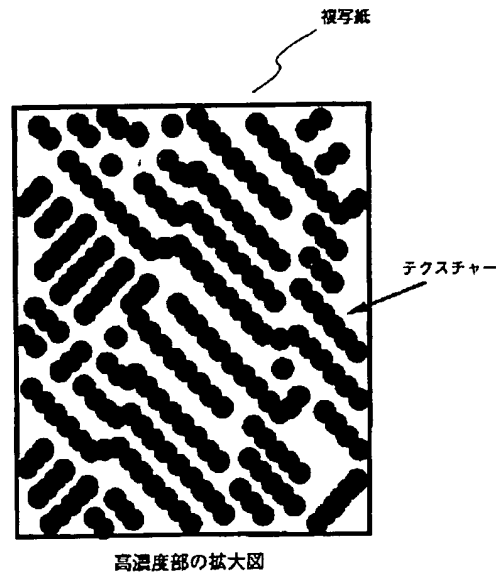
【図11】



【図14】



【図15】



フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H04N 1/405

識別記号 庁内整理番号

F I  
H04N 1/40

技術表示箇所  
B

